

Attorney Docket No. 5649-952

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Jae-goo Lee  
Serial No.: To Be Assigned  
Filed: Concurrently Herewith  
For: INTEGRATED CIRCUIT MEMORY DEVICES PROVIDING PER-BIT  
REDUNDANCY AND METHODS OF OPERATING SAME



Date: February 6, 2002

BOX PATENT APPLICATION  
Commissioner for Patents  
Washington, DC 20231


**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

2001-7276, filed February 14, 2001.

Respectfully submitted,



Robert M. Meeks  
Registration No. 40,723



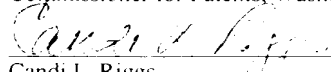
20792

PATENT TRADEMARK OFFICE

Telephone: 919/854-1400  
Facsimile: 919/854-1401  
Our File No. 5649-952

"Express Mail" mailing label number EL 733099015 US  
Date of Deposit: February 6, 2002

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to BOX PATENT APPLICATION, Commissioner for Patents, Washington, DC 20231



Candi L. Riggs  
Date of Signature: February 6, 2002

JC979 U.S. PTO

10/068148



02/06/02

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2001년 제 7276 호  
Application Number

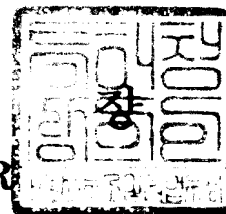
출원년월일 : 2001년 02월 14일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)

2001년 03월 05일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2001.02.14
【국제특허분류】	H01L
【발명의 명칭】	효율적인 칼럼 리던던시 스킴을 갖는 반도체 메모리장치
【발명의 영문명칭】	Semiconductor memory device having effective column redundancy scheme
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이재구
【성명의 영문표기】	LEE, Jae Goo
【주민등록번호】	680812-1231727
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 110
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	17	항	653,000	원
【합계】	689,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

## 【요약서】

## 【요약】

리페어 효율 및 용통성을 향상시키고 또한 구조가 균일하여 데이터 액세스 속도가 빠른 칼럼 리턴턴시 스킴을 갖는 반도체 메모리장치가 개시된다. 본 발명에 따른 반도체 메모리장치는, 각각 다수개의 메모리셀들과 정상동작을 위한 칼럼선택라인들 및 리페어를 위한 스페어 칼럼선택라인들을 포함하는 제1 및 제2블럭으로 양분되고 상기 제1블럭을 담당하는 제1로컬 입출력라인/제1글로벌 입출력라인 및 상기 제2블럭을 담당하는 제2로컬 입출력라인/제2글로벌 입출력라인을 별도로 포함하는 복수개의 입출력 블럭들을 구비하는 것을 특징으로 한다. 특히 소정의 입출력 블럭의 제1블럭내의 불량 칼럼선택라인은 상기 소정의 입출력 블럭의 제1블럭내의 스페어 칼럼선택라인, 상기 소정의 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인, 및 상기 소정의 입출력 블럭에 인접하는 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인중 어느 하나로 대체된다.

## 【대표도】

도 3

**【명세서】****【발명의 명칭】**

효율적인 칼럼 리던던시 스킴을 갖는 반도체 메모리 장치(Semiconductor memory device having effective column redundancy scheme)

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 1 대 1 칼럼 리던던시 스킴(One-to-one dedicated column redundancy scheme)을 나타내는 도면이다.

도 2는 종래의 데이터라인 칼럼 리던던시 스킴(Data-line column redundancy scheme)을 나타내는 도면이다.

도 3은 본 발명에 따른 반도체 메모리 장치의 개략적인 블록도이다.

도 4는 스위칭 제어부의 상세 회로도도를 나타낸다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 칼럼 리던던시 스킴에 관한 것이다.

<7> 반도체 메모리 장치는 정상(Normal) 메모리 셀에 불량(Defect)이 있을 때 이를 대체하기 위하여 스페어(Spare) 메모리 셀들, 즉 리던던트 메모리 셀들을 구비한다. 일반적으로

로 칼럼 리던던시 스킴에서는 칼럼선택라인(Column Select Line, CSL)에 연결되어 있는 적어도 하나의 정상 메모리셀이 불량일 경우 상기 칼럼선택라인이 스페어 칼럼선택라인(Spare Column Select Line, SCSL)으로 대체된다. 즉 하나의 메모리셀만이 불량이라도 칼럼선택라인에 연결된 모든 메모리셀들이 스페어 칼럼선택라인에 연결되어 있는 스페어 메모리셀들로 모두 대체된다.

<8> 도 1은 종래의 1 대 1 칼럼 리던던시 스킴(One-to-one dedicated column redundancy scheme)을 나타내는 도면이다.

<9> 도 1을 참조하면, 입출력 블록들(11,13) 각각은 다수개의 메모리셀들과 이들에 연결되는 칼럼선택라인(CSL)들 및 스페어 칼럼선택라인(SCSL)들을 포함한다. 칼럼선택라인(CSL)들은 정상동작을 위한 것들이며 이들에는 정상 메모리셀들이 연결된다. 스페어 칼럼선택라인(SCSL)들은 리페어(Repair)를 위한 것들이며 이들에는 스페어 메모리셀들, 즉 리던던트 메모리셀들이 연결된다.

<10> 또한 입출력 블록(11)은 하나의 로컬 입출력라인(LI01) 및 하나의 글로벌 입출력라인(GI01)을 포함하고, 입출력 블록(13)도 하나의 로컬 입출력라인(LI02)과 하나의 글로벌 입출력라인(GI02)을 포함한다. 로컬 입출력라인(LI01) 및 글로벌 입출력라인(GI01)을 통해 입출력 블록(11) 내의 메모리셀들로 데이터가 입출력되고 입출력라인(LI02) 및 글로벌 입출력라인(GI02)을 통해 입출력 블록(13) 내의 메모리셀들로 데이터가 입출력된다.

<11> 도 1에 도시된 1 대 1 칼럼 리던던시 스킴에서는, 예컨대 입출력 블록(11) 내의 칼럼선택라인(CSL11)이 불량일 경우 즉 칼럼선택라인(CSL11)에 연결되는 적어

도 하나의 메모리셀(M1)이 불량일 경우 칼럼선택라인(CSL11)은 스페어 칼럼선택라인(SCSL11)으로 대체된다. 마찬가지로 입출력 블록(13) 내의 칼럼선택라인(CSL21)이 불량일 경우 즉 칼럼선택라인(CSL21)에 연결되는 적어도 하나의 메모리셀이 불량일 경우 칼럼선택라인(CSL21)은 스페어 칼럼선택라인(CSL21)으로 대체된다.

<12> 그런데 도 1에 도시된 1 대 1 칼럼 리던던시 스킴에서는, 소정의 입출력 블록 내의 불량 칼럼선택라인들은 자신의 입출력 블록 내의 스페어 칼럼선택라인들만으로 대체가 가능하며 이로 인하여 리페어 효율(Efficiency) 및 융통성(Flexibility)이 부족한 단점이 있다.

<13> 도 2는 종래의 데이터라인 칼럼 리던던시 스킴(Data line column redundancy scheme)을 나타내는 도면이다.

<14> 도 2를 참조하면, 데이터라인 칼럼 리던던시 스킴에서는 입출력 블록들(21,23)이 스페어 칼럼선택라인(SCSL)들을 포함하지 않으며 스페어 칼럼선택라인(SCSL)들을 포함하는 별도의 리던던시 입출력 블록(25)이 제공된다.

<15> 또한 입출력 블록(21)은 하나의 로컬 입출력라인(LI01)을 포함하고 입출력 블록(23)도 하나의 로컬 입출력라인(LI02)을 포함한다. 또한 리던던시 입출력 블록(25)도 하나의 로컬 입출력라인(LI03)을 포함한다. 한편 글로벌 입출력라인(GI0)은 입출력 블록들(21,23) 및 리던던시 입출력 블록(25)에 의해 공유된다.

<16> 로컬 입출력라인(LI01) 및 공유된 글로벌 입출력라인(GI0)을 통해 입출력 블록(21) 내의 메모리셀들로 데이터가 입출력되고 로컬 입출력라인(LI02) 및 공유된 글로벌 입출력라인(GI0)을 통해 입출력 블록(23) 내의 메모리셀들로 데이터가 입출력된다. 또한 로



컬 입출력라인(LIO3) 및 공유된 글로벌 입출력라인(GIO)을 통해 리턴던시 입출력 블록(25) 내의 메모리 셀들로 데이터가 입출력된다.

<17> 도 2에 도시된 데이터라인 칼럼 리턴던시 스킴에서는, 입출력 블록(21) 내의 칼럼 선택라인들(CSL11, CSL12)이 불량일 경우 칼럼선택라인들(CSL11, CSL12)은 리턴던시 입출력 블록(25) 내의 스페어 칼럼선택라인들(SCSL1, SCSL2)로 대체된다. 또한 입출력 블록(23) 내의 칼럼선택라인들(CSL21, CSL22, CSL23)이 불량일 경우 칼럼선택라인들(CSL21, CSL22, CSL23)은 리턴던시 입출력 블록(25) 내의 스페어 칼럼선택라인들(SCSL3, SCSL4, SCSL5)로 대체된다.

<18> 따라서 도 2에 도시된 데이터라인 칼럼 리턴던시 스킴에서는 입출력 블록들 내의 불량 칼럼선택라인들이 별도로 구비된 리턴던시 입출력 블록 내의 스페어 칼럼선택라인들로 대체가 가능하므로 리페어 효율(Efficiency) 및 융통성(Flexibility)이 향상되는 장점이 있다. 그러나 구조가 불균일하며 리턴던시 입출력 블록에 대한 데이터 패쓰들의 부하가 커짐으로 인하여 데이터 액세스 속도가 느려지는 단점이 있다. 또한 두개 이상의 입출력 블록들에서 동일한 칼럼 어드레스에 해당하는 두개 이상의 칼럼선택라인들이 불량일 경우 리페어가 불가능하다는 단점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<19> 따라서 본 발명이 이루고자하는 기술적 과제는, 상술한 종래기술들의 단점을 해결하고 리페어 효율 및 융통성을 향상시키고 또한 구조가 균일하여 데이터 액세스 속도가 빠른 칼럼 리턴던시 스킴을 갖는 반도체 메모리장치를 제공하는 데 있다.

**【발명의 구성 및 작용】**

- <20>       상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리장치는 복수개의 입출력 블록들을 구비하고, 상기 입출력 블록들은 각각 다수개의 메모리 셀들과 정상동작을 위한 칼럼선택라인들 및 리페어를 위한 스페어 칼럼선택라인들을 포함하는 제1 및 제2블록으로 양분되고, 상기 제1블록을 담당하는 제1로컬 입출력라인/제1글로벌 입출력라인 및 상기 제2블록을 담당하는 제2로컬 입출력라인/제2글로벌 입출력라인을 별도로 구비하는 것을 특징으로 한다.
- <21>       상기 제1로컬 입출력라인/제1글로벌 입출력라인을 통해 상기 제1블록 내의 메모리 셀들로 데이터가 입출력되고 상기 제2로컬 입출력라인/제2글로벌 입출력 라인을 통해 상기 제2블록 내의 메모리 셀들로 데이터가 입출력된다.
- <22>       또한 상기 입출력 블록들중 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인은 상기 소정의 입출력 블록의 제1블록내의 스페어 칼럼선택라인, 상기 소정의 입출력 블록의 제2블록내의 스페어 칼럼선택라인, 및 상기 소정의 입출력 블록에 인접하는 입출력 블록의 제2블록내의 스페어 칼럼선택라인중 어느 하나로 대체된다.
- <23>       상기 소정의 입출력 블록의 제2블록내의 불량 칼럼선택라인은 상기 소정의 입출력 블록의 제1블록내의 스페어 칼럼선택라인, 상기 소정의 입출력 블록의 제2블록내의 스페어 칼럼선택라인, 및 상기 소정의 입출력 블록에 다른 인접하는 입출력 블록의 제1블록내의 스페어 칼럼선택라인중 어느 하나로 대체된다.
- <24>       상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 인접하는 입출력 블록의 제2블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 인접하는 입

출력 블록내에서 하나의 칼럼 어드레스에 의해 칼럼선택라인들중 하나와 스페어 칼럼선택라인들중 하나가 동시에 활성화된다.

<25>       상기 소정의 입출력 블록의 제2블록내의 불량 칼럼선택라인이 상기 다른 인접하는 입출력 블록의 제1블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 다른 인접하는 입출력 블록내에서 하나의 칼럼 어드레스에 의해 칼럼선택라인들중 하나와 스페어 칼럼선택라인들중 하나가 동시에 활성화된다.

<26>       한편 상기 반도체 메모리장치는 상기 입출력 블록들 각각을 담당하는 복수개의 입출력 감지증폭부들, 및 스위칭 제어부를 더 구비한다.

<27>       상기 스위칭 제어부는, 상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 인접하는 입출력 블록의 제2블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 인접하는 입출력 블록의 제2글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시킨다.

<28>       또한 상기 스위칭 제어부는, 상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 소정의 입출력 블록의 제1블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 소정의 입출력 블록의 제1글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시킨다.

<29>       또한 상기 스위칭 제어부는, 상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 소정의 입출력 블록의 제2블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 소정의 입출력 블록의 제2글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시킨다.

- <30> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <31> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <32> 도 3은 본 발명에 따른 반도체 메모리장치의 개략적인 블록도이다.
- <33> 도 3을 참조하면, 입출력 블록들(31,32,33) 각각은 제1블럭(31L,32L,33L) 및 제2블럭(31R,32R,33R)으로 양분된다. 제1블럭(31L,32L,33L) 및 제2블럭(31R, 32R,33R) 각각은 다수개의 메모리 셀들과 이들에 연결되는 칼럼선택라인(CSL)들 및 스페어 칼럼선택라인(SCSL)들을 포함한다. 칼럼선택라인(CSL)들은 정상동작을 위한 것들이며 이들에는 정상 메모리 셀들이 연결된다. 스페어 칼럼선택라인(SCSL)들은 리페어를 위한 것들이며 이들에는 스페어 메모리 셀들, 즉 리던던시 메모리 셀들이 연결된다.
- <34> 또한 입출력 블록들(31,32,33) 각각은 두개의 로컬 입출력라인들 및 두개의 글로벌 입출력라인들을 포함한다. 즉 입출력 블록(31)은 제1블럭(31L)을 담당하는 로컬 입출력라인(LI01L)/글로벌 입출력라인(GI01L) 및 제2블럭(31R)을 담당하는 로컬 입출력라인(LI01R)/글로벌 입출력라인(GI01R)을 별도로 포함한다. 입출력 블록(32)은 제1블럭(32L)을 담당하는 로컬 입출력라인(LI02L)/글로벌 입출력라인(GI02L) 및 제2블럭(32R)을 담당하는 로컬 입출력라인(LI02R)/글로벌 입출력라인(GI02R)을 별도로 포함한다. 또한 입출력 블록(33)은 제1블럭(33L)을 담당하는 로컬 입출력라인(LI03L)/글로벌 입출력라인(GI03L) 및 제2블럭(33R)을 담당하는 로컬 입출력라인(LI03R)/글로벌 입출력라인(GI03R)을 별도로 포함한다.

<35> 따라서 입출력 블록(31)에서는 로컬 입출력라인(LI01L)/글로벌 입출력라인(GI01L)을 통해 제1블럭(31L) 내의 메모리 셀들로 데이터가 입출력되고 로컬 입출력라인(LI01R)/글로벌 입출력라인(GI01R)을 통해 제2블럭(31R) 내의 메모리 셀들로 데이터가 입출력된다. 입출력 블록(32)에서는 로컬 입출력라인(LI02L)/글로벌 입출력라인(GI02L)을 통해 제1블럭(32L) 내의 메모리 셀들로 데이터가 입출력되고 로컬 입출력라인(LI02R)/글로벌 입출력라인(GI02R)을 통해 제2블럭(32R) 내의 메모리 셀들로 데이터가 입출력된다. 이와 마찬가지로 입출력 블록(33)에서는 로컬 입출력라인(LI03L)/글로벌 입출력라인(GI03L)을 통해 제1블럭(33L) 내의 메모리 셀들로 데이터가 입출력되고 로컬 입출력라인(LI03R)/글로벌 입출력라인(GI03R)을 통해 제2블럭(33R) 내의 메모리 셀들로 데이터가 입출력된다.

<36> 특히 소정의 입출력 블록, 예컨대 입출력 블록(32)의 제1블럭(32L) 내의 칼럼선택라인(CSL2L)이 불량일 경우 즉 칼럼선택라인(CSL2L)에 연결되는 적어도 하나의 메모리 셀이 불량일 경우, 불량 칼럼선택라인(CSL2L)은 자신의 입출력 블록 즉 입출력 블록(32)의 제1블럭(32L)내의 스페어 칼럼선택라인(SCSL2L), 입출력 블록(32)의 제2블럭(32R)내의 스페어 칼럼선택라인(SCSL2R), 및 입출력 블록(32)에 인접하는 입출력 블록(31)의 제2블럭(31R)내의 스페어 칼럼선택라인(SCSL1R)중 어느 하나로 대체된다.

<37> 또한 입출력 블록(32)의 제2블럭(32R) 내의 칼럼선택라인(CSL2R)이 불량일 경우에는, 불량 칼럼선택라인(CSL2R)은 자신의 입출력 블록 즉 입출력 블록(32)의 제1블럭(32L)내의 스페어 칼럼선택라인(SCSL2L), 입출력 블록(32)의 제2블럭(32R)내의 스페어 칼럼선택라인(SCSL2R), 및 입출력 블록(32)에 인접하는 다른 입출력 블록(33)의 제1블럭(33L)내의 스페어 칼럼선택라인(SCSL3L)중 어느 하나로 대체된다.

<38> 입출력 블록들(31,33)에 불량 칼럼선택라인들이 존재할 경우에도 이상에서와 같은

방법으로 불량 칼럼선택라인들이 스페어 칼럼선택라인들로 대체된다.

<39> 한편 입출력 블록(32)의 제1블록(32L) 내의 불량 칼럼선택라인(CSL2L)이 인접하는 입출력 블록(31)의 제2블록(31R)내의 스페어 칼럼선택라인(SCSL1R)으로 대체되는 경우에, 인접하는 입출력 블록(31) 내에서는 하나의 칼럼 어드레스에 의해 정상 액세스를 위해 사용되는 칼럼선택라인(CSL1L)과 리페어를 위해 사용되는 스페어 칼럼선택라인(SCSL1R)이 동시에 활성화된다.

<40> 또한 입출력 블록(32)의 제2블록(32R) 내의 불량 칼럼선택라인(CSL2R)이 인접하는 다른 입출력 블록(33)의 제1블록(33L)내의 스페어 칼럼선택라인(SCSL3L)으로 대체되는 경우에, 인접하는 다른 입출력 블록(33) 내에서는 하나의 칼럼 어드레스에 의해 정상 액세스를 위해 사용되는 칼럼선택라인(미도시)과 리페어를 위해 사용되는 스페어 칼럼선택라인(SCSL3L)이 동시에 활성화된다.

<41> 한편 본 발명에 따른 반도체 메모리장치는 스위치들(S11 내지 S34) 및 스위치 제어 신호들을 발생하는 제어신호 발생회로(도 4의 41)를 포함하는 스위칭 제어부 및 입출력 블록들(31,32,33) 각각을 담당하는 입출력 감지증폭부들(34,35,36)을 더 구비한다. 입출력 감지증폭부들(34,35,36)은 각각 소정의 패스를 통해 해당 입출력핀들(DQ1,DQ2,DQ3)에 연결된다.

<42> 스위칭 제어부는 글로벌 입출력라인들(GIO)과 입출력 감지증폭부들(34,35,36) 사이의 연결을 제어한다. 좀더 설명하면, 소정의 입출력 블록, 예컨대 입출력 블록(32)의 제1블록(32L) 내의 불량 칼럼선택라인(CSL2L)이 인접하는 입출력 블록(31)의 제2블록(31R)내의 스페어 칼럼선택라인(SCSL1R)으로 대체되는 경우에는, 스위치(S21)가 턴온되어 인접하는 입출력 블록(31)의 글로벌 입출력라인(GIO1R)이 입출력 블록(32)을 담당하

는 입출력 감지증폭부(35)로 연결된다.

<43> 입출력 블록(32)의 제1블록(32L) 내의 불량 칼럼선택라인(CSL2L)이 제1블록(32L) 내의 스페어 칼럼선택라인(SCSL2L)으로 대체되는 경우에는, 스위치(S22)가 턴온되어 입출력 블록(32)의 글로벌 입출력라인(GI02L)이 입출력 감지증폭부(35)로 연결된다. 입출력 블록(32)의 제1블록(32L) 내의 불량 칼럼선택라인(CSL2L)이 제2블록(32R) 내의 스페어 칼럼선택라인(SCSL2R)으로 대체되는 경우에는, 스위치(S23)가 턴온되어 입출력 블록(32)의 글로벌 입출력라인(GI02R)이 입출력 감지증폭부(35)로 연결된다.

<44> 도 4는 스위칭 제어부의 상세 회로도를 나타내며, 이를 참조하여 스위칭 제어부의 구성 및 동작을 보다 상세히 설명한다.

<45> 도 4를 참조하면, 스위칭 제어부는 스위치들(S21 내지 S24) 및 스위치 제어신호들(C1, C1B, C2, C2B, C1', C1'B, C2', C2'B)을 발생하는 제어신호 발생회로(41)를 구비한다. 여기에서는 설명의 편의를 위해 도 3에 도시된 스위치들중 스위치들(S21 내지 S24)만이 도시되었으며 또한 입출력 감지증폭부(35)가 함께 도시되었다.

<46> GI01R은 도 3에 도시된 입출력 블록(31)의 글로벌 입출력라인(GI01R)을 나타내고 GI02L과 GI02R은 도 3에 도시된 입출력 블록(32)의 글로벌 입출력라인들(GI02L, GI02R)을 나타내며 GI03L은 도 3에 도시된 입출력 블록(33)의 글로벌 입출력라인(GI03L)을 나타낸다. 입출력 감지증폭부(35)는 도 3에 도시된 입출력 블록(32)을 담당하는 입출력 감지증폭부(35)를 나타낸다.

<47> 스위치(S21)는 제1스위치제어신호(C1)의 활성화에 응답하여 입출력 블록(31)의 글로벌 입출력라인(GI01R)을 입출력 감지증폭부(35)로 연결시킨다. 스위치(S22)는 제2스위

제어신호(C2)의 활성화에 응답하여 입출력 블록(32)의 글로벌 입출력라인(GI02L)을 입출력 감지증폭부(35)로 연결시킨다. 스위치(S24)는 또 다른 제1스위치제어신호(C1')의 활성화에 응답하여 입출력 블록(33)의 글로벌 입출력라인(GI03L)을 입출력 감지증폭부(35)로 연결시킨다. 스위치(S23)는 또 다른 제2스위치제어신호(C2')의 활성화에 응답하여 입출력 블록(32)의 글로벌 입출력라인(GI02R)을 입출력 감지증폭부(35)로 연결시킨다.

<48> 제어신호 발생회로(41)는 앤드게이트들(AND1,AND2,AND3), 오아게이트(OR), 및 인버터들(I1,I2)를 포함하여 구성된다. 여기에서 F0와 F0'은 불량 컬럼선택라인이 존재하는 입출력 블록에 대한 위치를 나타내는 신호이고, F1과 F1'은 반도체 메모리장치 외부에서 인가되는 컬럼 어드레스가 불량 컬럼선택라인에 대한 어드레스인지 아닌지를 나타내는 신호이다. F0,F0',F1,F1'은 도시되지 않은 리턴던시 퓨즈블럭에서 퓨즈 컷팅에 의해 발생된다. CMSB는 컬럼 어드레스의 최상위비트(Most Significant Bit)이고 소정의 입출력 블록 내부의 제1블럭 또는 제2블럭의 위치를 나타내는 신호이다.

<49> 좀더 설명하면, F0(또는 F0')는 소정의 입출력 블록에 불량 컬럼선택라인이 존재하는 경우에 논리'로우'가 되고 상기 소정의 입출력 블록에 인접하는 입출력 블록에 불량 컬럼선택라인이 존재하는 경우에는 논리'하이'가 된다. F1(또는 F1')은 컬럼 어드레스가 불량 컬럼선택라인에 대한 어드레스인 경우에는 논리'하이'가 되고 그렇지 않은 경우에는 논리'로우'가 된다. CMSB는 소정의 입출력 블록 내부의 제1블럭의 위치를 나타내는 경우에는 논리'하이'이고 소정의 입출력 블록 내부의 제2블럭의 위치를 나타내는 경우에는 논리'로우'가 된다.

<50> 이하 도 4를 참조하여 스위칭 제어부의 전체적인 동작이 상세히 설명된다. 첫째,



소정의 입출력 블록, 예컨대 도 3에서 입출력 블록(32)의 제1블록(32L)에 불량 컬럼선택 라인(CSL2L)이 존재하지만 외부에서 인가되는 컬럼 어드레스가 상기 불량 컬럼선택 라인(CSL2L)에 대한 어드레스가 아닌 경우에는, F0는 논리'로우'가 되고 F1도 논리'로우'가 되며 CMSB는 논리'하이'가 된다. 이에 따라 제1스위치제어신호(C1)가 논리'로우'가 되고 제1스위치제어신호의 반전신호(C1B)가 논리'하이'가 된다. 또한 제2스위치제어신호(C2)는 논리'하이'가 되고 제2스위치제어신호의 반전신호(C2B)는 논리'로우'가 된다.

<51> 따라서 스위치(S22)는 턴온되고 스위치(S21)는 턴오프된다. 그 결과 입출력 블록(32)의 글로벌 입출력라인(GIO2L)이 입출력 감지증폭부(35)로 연결된다. 이 경우에 감지증폭부(35)는 글로벌 입출력라인(GIO2L)을 통해 입출력 블록(32)의 제1블록(32L) 내의 정상 컬럼선택라인에 연결된 메모리셀을 액세스한다.

<52> 둘째, 입출력 블록(32)의 제1블록(32L)에 불량 컬럼선택라인(CSL2L)이 존재하고 불량 칼럼선택라인(CSL2L)이 자신의 입출력 블록(32)의 제1블록(32L) 내의 스페어 칼럼선택라인(SCSL2L)으로 대체되며 외부에서 인가되는 컬럼 어드레스가 상기 불량 컬럼선택라인(CSL2L)에 대한 어드레스인 경우에는, F0는 논리'로우'가 되고 F1은 논리'하이'가 되며 CMSB는 논리'하이'가 된다. 이에 따라 제1스위치제어신호(C1)가 논리'로우'가 되고 제1스위치제어신호의 반전신호(C1B)가 논리'하이'가 된다. 또한 제2스위치제어신호(C2)는 논리'하이'가 되고 제2스위치제어신호의 반전신호(C2B)는 논리'로우'가 된다.

<53> 따라서 상기 첫째 경우와 마찬가지로 스위치(S22)는 턴온되고 스위치(S21)는 턴오프된다. 그 결과 입출력 블록(32)의 글로벌 입출력라인(GIO2L)이 입출력 감지증폭부(35)로 연결된다. 이 경우에는 감지증폭부(35)는 글로벌 입출력라인(GIO2L)을 통해 입출력

블럭(32)의 제1블럭(32L) 내의 스페어 칼럼선택라인(SCSL2L)에 연결된 메모리셀을 액세스한다.

<54> 셋째, 입출력 블럭(32)의 제1블럭(32L)에 불량 컬럼선택라인(CSL2L)이 존재하고 불량 칼럼선택라인(CSL2L)이 인접하는 입출력 블럭(31)의 제2블럭(31R) 내의 스페어 칼럼선택라인(SCSL1R)으로 대체되며 외부에서 인가되는 컬럼 어드레스가 상기 불량 컬럼선택라인(CSL2L)에 대한 어드레스인 경우에는, F0는 논리'하이'가 되고 F1도 논리'하이'가 되며 CMSB는 논리'하이'가 된다. 이에 따라 제1스위치제어신호(C1)가 논리'하이'가 되고 제1스위치제어신호의 반전신호(C1B)가 논리'로우'가 된다. 또한 제2스위치제어신호(C2)는 논리'로우'가 되고 제2스위치제어신호의 반전신호(C2B)는 논리'하이'가 된다.

<55> 따라서 스위치(S22)는 턴오프되고 스위치(S21)는 턴온된다. 그 결과 인접하는 입출력 블럭(31)의 글로벌 입출력라인(GIO1R)이 감지증폭부(35)로 연결된다. 이 경우에는 감지증폭부(35)는 글로벌 입출력라인(GIO1R)을 통해 인접하는 입출력 블럭(31)의 제2블럭(31R) 내의 스페어 칼럼선택라인(SCSL1R)에 연결된 메모리셀을 액세스한다.

<56> 넷째, 입출력 블럭(32)의 제1블럭(32L)에 불량 컬럼선택라인(CSL2L)이 존재하고 불량 컬럼선택라인(CSL2L)이 자신의 입출력 블럭(32)의 제2블럭(32R) 내의 스페어 칼럼선택라인(SCSL2R)으로 대체되며 외부에서 인가되는 컬럼 어드레스가 상기 불량 컬럼선택라인(CSL2L)에 대한 어드레스인 경우에는, F0'는 논리'로우'가 되고 F1'은 논리'하이'가 되며 CMSB는 논리'하이'가 된다. 이에 따라 제1스위치제어신호(C1')가 논리'로우'가 되고 제1스위치제어신호의 반전신호(C1'B)가 논리'하이'가 된다. 또한 제2스위치제어신호(C2')는 논리'하이'가 되고 제2스위치제어신호의 반전신호(C2'B)는 논리'로우'가 된다.

<57> 따라서 스위치(S23)는 턴온되고 스위치(S24)는 턴오프된다. 그 결과 입출력 블록(32)의 글로벌 입출력라인(GIO2R)이 입출력 감지증폭부(35)로 연결된다. 이 경우에는 감지증폭부(35)는 글로벌 입출력라인(GIO2R)을 통해 입출력 블록(32)의 제2블락(32R) 내의 스페어 칼럼선택라인(SCSL2R)에 연결된 메모리셀을 액세스한다.

<58> 이상에서 설명한 바와 같이 본 발명에 따른 반도체 메모리장치에서는, 소정의 입출력 블록 내의 불량 칼럼선택라인이 자신의 입출력 블록 내의 스페어 칼럼선택라인뿐만 아니라 이웃하는 입출력 블록 내의 스페어 칼럼선택라인으로도 대체가 가능하므로 리페어 효율(Efficiency) 및 융통성(Flexibility)이 크게 향상되는 장점이 있다. 또한 구조가 균일하고 로컬 입출력라인들의 길이가 반으로 감소되어 부하가 감소됨으로써 데이터 액세스 속도가 빨라지는 장점이 있다.

<59> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<60> 상술한 바와 같이 본 발명에 따른 반도체 메모리장치는 리페어 효율 및 융통성이 크게 향상되는 장점이 있고 또한 데이터 액세스 속도가 빠른 장점이 있다.

**【특허 청구범위】****【청구항 1】**

각각 다수개의 메모리셀들을 포함하는 제1 및 제2블럭으로 양분되고, 상기 제1블럭을 담당하는 제1로컬 입출력라인/제1글로벌 입출력라인 및 상기 제2블럭을 담당하는 제2로컬 입출력라인/제2글로벌 입출력라인을 별도로 포함하는 복수개의 입출력 블럭들을 구비하고,

상기 제1로컬 입출력라인/제1글로벌 입출력라인을 통해 상기 제1블럭 내의 메모리셀들로 데이터가 입출력되고 상기 제2로컬 입출력라인/제2글로벌 입출력 라인을 통해 상기 제2블럭 내의 메모리셀들로 데이터가 입출력되는 것을 특징으로 하는 반도체 메모리장치.

**【청구항 2】**

제1항에 있어서, 상기 제1블럭 및 제2블럭 각각은 정상동작을 위한 칼럼선택라인들과 리페어를 위한 스페어 칼럼선택라인들을 구비하고,

소정의 입출력 블럭의 제1블럭내의 불량 칼럼선택라인이 상기 소정의 입출력 블럭의 제1블럭내의 스페어 칼럼선택라인, 상기 소정의 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인, 및 상기 소정의 입출력 블럭에 인접하는 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인중 어느 하나로 대체되는 것을 특징으로 하는 반도체 메모리장치.

**【청구항 3】**

제2항에 있어서, 상기 소정의 입출력 블럭의 제2블럭내의 불량 칼럼선택라인은 상기 소정의 입출력 블럭의 제1블럭내의 스페어 칼럼선택라인, 상기 소정의 입출력 블럭의

제2블럭내의 스페어 칼럼선택라인, 및 상기 소정의 입출력 블럭에 인접하는 다른 입출력 블럭의 제1블럭내의 스페어 칼럼선택라인중 어느 하나로 대체되는 것을 특징으로 하는 반도체 메모리장치.

#### 【청구항 4】

제2항에 있어서, 상기 소정의 입출력 블럭의 제1블럭내의 불량 칼럼선택라인이 상기 인접하는 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 인접하는 입출력 블럭내에서 하나의 칼럼 어드레스에 의해 칼럼선택라인들중 하나와 스페어 칼럼선택라인들중 하나가 동시에 활성화되는 것을 특징으로 하는 반도체 메모리장치.

#### 【청구항 5】

제3항에 있어서, 상기 소정의 입출력 블럭의 제2블럭내의 불량 칼럼선택라인이 상기 인접하는 다른 입출력 블럭의 제1블럭내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 인접하는 다른 입출력 블럭내에서 하나의 칼럼 어드레스에 의해 칼럼선택라인들중 하나와 스페어 칼럼선택라인들중 하나가 동시에 활성화되는 것을 특징으로 하는 반도체 메모리장치.

#### 【청구항 6】

제2항에 있어서, 상기 반도체 메모리장치는,

상기 입출력 블럭들 각각을 담당하는 복수개의 입출력 감지증폭부들; 및

상기 소정의 입출력 블럭의 제1블럭내의 불량 칼럼선택라인이 상기 인접하는

입출력 블록의 제2블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 인접하는 입출력 블록의 제2글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시키는 스위칭 제어부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 7】

제6항에 있어서, 상기 스위칭 제어부는,

상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 소정의 입출력 블록의 제1블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 소정의 입출력 블록의 제1글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시키는 것을 특징으로 하는 반도체 메모리장치.

#### 【청구항 8】

제7항에 있어서, 상기 스위칭 제어부는,

상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 소정의 입출력 블록의 제2블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 소정의 입출력 블록의 제2글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시키는 것을 특징으로 하는 반도체 메모리장치.

#### 【청구항 9】

제8항에 있어서, 상기 스위칭 제어부는,

제 1제어신호의 활성화에 응답하여 상기 인접하는 입출력 블록의 제2글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시키는

제1스위치:

제2제어신호의 활성화에 응답하여 상기 소정의 입출력 블록의 제1글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시키는 제2스위치:

제3제어신호의 활성화에 응답하여 상기 소정의 입출력 블록의 제2글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시키는 제3스위치:

및

상기 제1 내지 제3제어신호를 발생하는 제어신호 발생부를 구비하고,

상기 제1제어신호는 상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 연결하는 입출력 블록의 제2블록내의 스페어 칼럼선택라인으로 대체될 때 활성화되고, 상기 제2제어신호는 상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 소정의 입출력 블록의 제1블록내의 스페어 칼럼선택라인으로 대체될 때 활성화되고, 상기 제3제어신호는 상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 소정의 입출력 블록의 제2블록내의 스페어 칼럼선택라인으로 대체될 때 활성화되는 것을 특징으로 하는 반도체 메모리장치.

#### 【청구항 10】

각각 다수개의 메모리셀들과 정상동작을 위한 칼럼선택라인들 및 리페어를 위한 스페어 칼럼선택라인들을 포함하는 제1 및 제2블록으로 양분되고, 상기 제1블록을 담당하는 제1로컬 입출력라인/제1글로벌 입출력라인 및 상기 제2블록을 담당하는 제2로컬 입출력라인/제2글로벌 입출력라인을 별도로 포함하는 복수개의 입출력 블록들을 구비하고,

소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 소정의 입출력 블록

의 제1블럭내의 스페어 칼럼선택라인, 상기 소정의 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인, 및 상기 소정의 입출력 블럭에 인접하는 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인중 어느 하나로 대체되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 11】

제10항에 있어서, 상기 소정의 입출력 블럭의 제2블럭내의 불량 칼럼선택라인은 상기 소정의 입출력 블럭의 제1블럭내의 스페어 칼럼선택라인, 상기 소정의 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인, 및 상기 소정의 입출력 블럭에 인접하는 다른 입출력 블럭의 제1블럭내의 스페어 칼럼선택라인중 어느 하나로 대체되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 12】

제10항에 있어서, 상기 소정의 입출력 블럭의 제1블럭내의 불량 칼럼선택라인이 상기 인접하는 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 인접하는 입출력 블럭내에서 하나의 칼럼 어드레스에 의해 칼럼선택라인들중 하나와 스페어 칼럼선택라인들중 하나가 동시에 활성화되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 13】

제11항에 있어서, 상기 소정의 입출력 블럭의 제2블럭내의 불량 칼럼선택라인이 상기 인접하는 다른 입출력 블럭의 제1블럭내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 인접하는 다른 입출력 블럭내에서 하나의 칼럼 어드레스에 의해 칼럼선택라인



들중 하나와 스페어 칼럼선택라인들중 하나가 동시에 활성화되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 14】

제10항에 있어서, 상기 반도체 메모리장치는,

상기 입출력 블록들 각각을 담당하는 복수개의 입출력 감지증폭부들; 및

상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 인접하는 입출력 블록의 제2블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 인접하는 입출력 블록의 제2글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시키는 스위칭 제어부를 더 구비하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 15】

제14항에 있어서, 상기 스위칭 제어부는,

상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 소정의 입출력 블록의 제1블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 소정의 입출력 블록의 제1글로벌 입출력라인을 상기 소정의 입출력 블록을 담당하는 입출력 감지증폭부로 연결시키는 것을 특징으로 하는 반도체 메모리장치.

【청구항 16】

제15항에 있어서, 상기 스위칭 제어부는,

상기 소정의 입출력 블록의 제1블록내의 불량 칼럼선택라인이 상기 소정의 입출력 블록의 제2블록내의 스페어 칼럼선택라인으로 대체되는 경우에는, 상기 소정의 입출력

블럭의 제2글로벌 입출력라인을 상기 소정의 입출력 블럭을 담당하는 입출력 감지증폭부로 연결시키는 것을 특징으로 하는 반도체 메모리장치.

【정구항 17】

제16항에 있어서, 상기 스위칭 제어부는,

제 1 제어신호의 활성화에 응답하여 상기 인접하는 입출력 블럭의 제2글로벌 입출력라인을 상기 소정의 입출력 블럭을 담당하는 입출력 감지증폭부로 연결시키는

제1스위치;

제2제어신호의 활성화에 응답하여 상기 소정의 입출력 블럭의 제1글로벌 입출력라인을 상기 소정의 입출력 블럭을 담당하는 입출력 감지증폭부로 연결시키는 제2스위치;

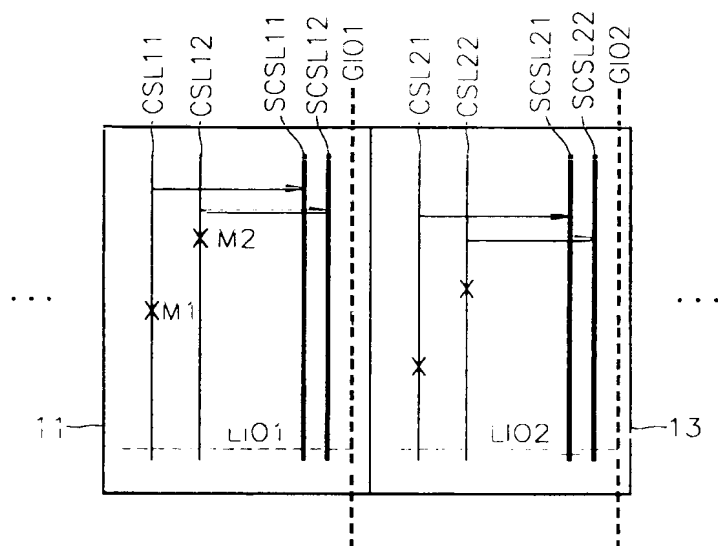
제 3 제어신호의 활성화에 응답하여 상기 소정의 입출력 블럭의 제2글로벌 입출력라인을 상기 소정의 입출력 블럭을 담당하는 입출력 감지증폭부로 연결시키는 제3스위치;  
및

상기 제1 내지 제3제어신호를 발생하는 제어신호 발생부를 구비하고,

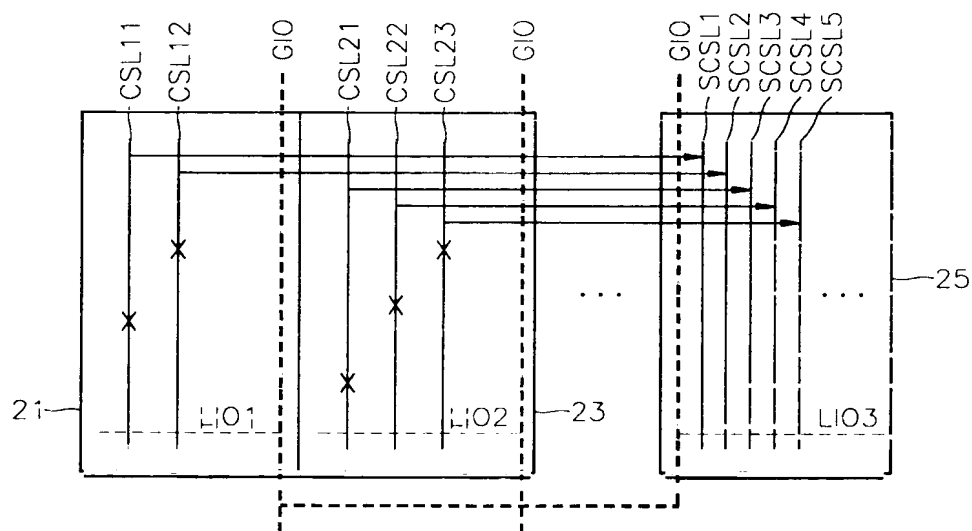
상기 제1제어신호는 상기 소정의 입출력 블럭의 제1블럭내의 불량 칼럼선택라인이 상기 인접하는 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인으로 대체될 때 활성화되고, 상기 제2제어신호는 상기 소정의 입출력 블럭의 제1블럭내의 불량 칼럼선택라인이 상기 소정의 입출력 블럭의 제1블럭내의 스페어 칼럼선택라인으로 대체될 때 활성화되고, 상기 제3제어신호는 상기 소정의 입출력 블럭의 제1블럭내의 불량 칼럼선택라인이 상기 소정의 입출력 블럭의 제2블럭내의 스페어 칼럼선택라인으로 대체될 때 활성화되는 것을 특징으로 하는 반도체 메모리장치.

【도면】

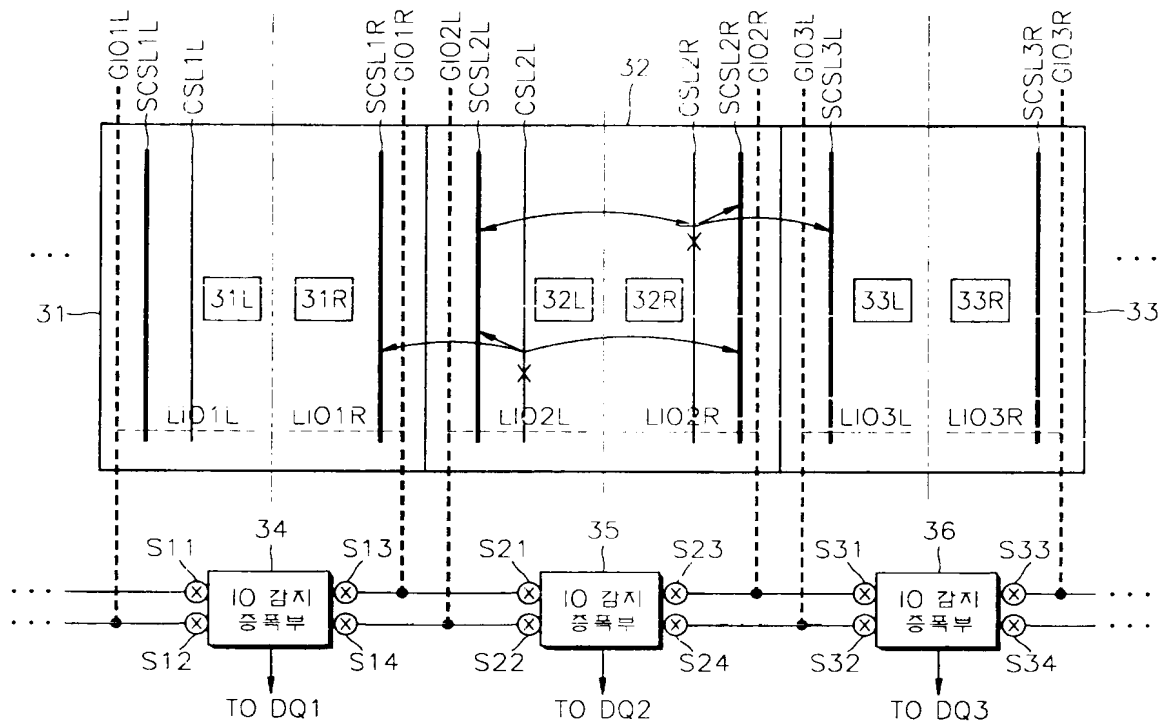
【도 1】



【도 2】



【도 3】



【도 4】

